



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026343

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 21/027

(21)Application number : 09-182509

(71)Applicant : NEC CORP

(22)Date of filing : 08.07.1997

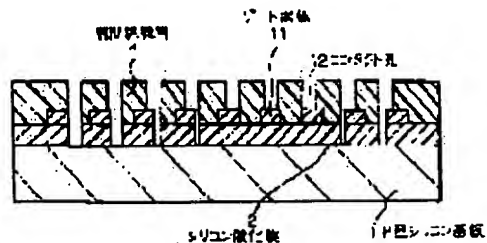
(72)Inventor : HAMADA TAKEHIKO

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MEASURING DEVIATED DIMENSION IN MASK ALIGNMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately and rapidly measure deviated amount in mask alignment.

SOLUTION: An electron beam is radiated vertically on a silicon substrate 1 comprising a mask alignment deviation measurement pattern, with a gate electrode 11 and a contact hole 12, which constitute the pattern scanned in their array direction at a constant speed. Here, a voltage is supplied to the silicon substrate 1 from its rear surface, so that a current electrified in the silicon substrate 1 is detected. Only when the electron beam is radiated on the silicon substrate 1 where a bottom part of the contact hole 12 is exposed, a current is made to flow. The position of electron beam is found from its scanning speed and time, so that the deviated amount in mask alignment is obtained from the waveform of a detected current.



LEGAL STATUS

[Date of request for examination] 08.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3036472

[Date of registration] 25.02.2000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26343

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

H 0 1 L 21/027

識別記号

F I

H 0 1 L 21/30

5 0 2 M

審査請求 有 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平9-182509

(22) 出願日 平成9年(1997) 7月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浜田 健彦

東京都港区芝五丁目7番1号 日本電気株式会社内

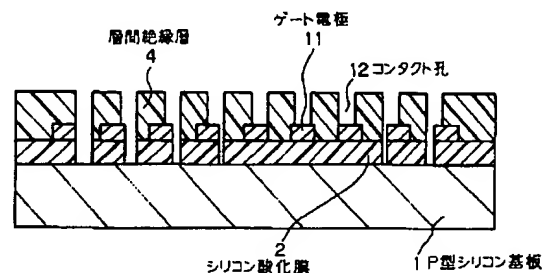
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体装置及びそのマスク位置合わせズレ寸法測定方法

(57) 【要約】

【課題】 マスク位置合わせズレ量を正確かつ高速に測定する。

【解決手段】 電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板1に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成するゲート電極11及びコンタクト孔12の配列方向に等速で走査させる。このとき、シリコン基板1の裏面から電圧を供給して、このシリコン基板1に通電される電流を検出する。すると、コンタクト孔12の底部の露出したシリコン基板1に電子ビームが照射されているときのみに電流が通電される。電子ビームの走査速度と時刻から電子ビームの位置がわかるので、検出された電流の波形からマスク位置合わせズレ量が求まる。



【特許請求の範囲】

【請求項 1】 半導体製造工程でのマスク位置合わせズレを測定するための測定用パターンを有する製造過程の半導体装置であって、

前記測定用パターンは、

マスク位置合わせズレ測定の基準となる第 1 のパターンと、

前記第 1 のパターンと部分的に重なるように配置され、

前記第 1 のパターンに対するマスク位置合わせズレの測定対象となる第 2 のパターンと、からなり、

前記第 1 のパターンもしくは前記第 2 のパターンの、前記第 1 のパターンと前記第 2 のパターンとの重なり部を除いた領域部分のみ、または、前記第 1 のパターン並びに前記第 1 のパターンと重なっている前記第 2 のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される荷電粒子ビームを当該半導体基板に通電可能にしていることを特徴とする半導体装置。

【請求項 2】 前記第 1 のパターンは、第 1 のピッチで細長い矩形のパターンを配列してなるストライプパターンであり、前記第 2 のパターンは、前記第 1 のピッチと異なる第 2 のピッチで細長い矩形のパターンを配列してなるストライプパターンであり、前記第 1 のパターンと前記第 2 のパターンとは細長い矩形のパターンの配列方向を同じにして部分的に重なっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のパターンおよび前記第 2 のパターンは、一方が集積回路の配線となる導電層であり、もう一方が前記集積回路の異なる層の配線間もしくは配線と半導体基板とを接続するコンタクト孔であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 マスク位置合わせズレ測定の基準となる第 1 のパターンと、該第 1 のパターンと部分的に重なるように配置され、前記第 1 のパターンに対するマスク位置合わせズレの測定対象となる第 2 のパターンとからなるマスク位置合わせズレ測定用パターンを有して、前記第 1 のパターンもしくは前記第 2 のパターンの、前記第 1 のパターンと前記第 2 のパターンとの重なり部を除いた領域部分のみ、または、前記第 1 のパターン並びに前記第 1 のパターンと重なっている前記第 2 のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される荷電粒子ビームを当該半導体基板に通電可能にしている製造過程の半導体装置を用い、前記半導体装置に電圧を供給した状態で、前記マスク位置合わせズレ測定用パターンを通過するように前記荷電粒子ビームを等速で走査し、前記半導体装置に流れる電流の波形変化からマスク位置合わせズレ寸法を求める、半導体装置のマスク位置合わせズレ寸法測定方法。

【請求項 5】 電流の変化時刻に荷電粒子ビームの走査時刻を対応させて荷電粒子ビームの走査位置として前記半導体装置の測定部分の位置を検出するようにしたこと

を特徴とする、請求項 4 に記載の半導体装置のマスク位置合わせズレ寸法測定方法。

【請求項 6】 前記半導体装置に供給する電圧を周期的に変化させるようにしたことを特徴とする、請求項 4 又は 5 に記載の半導体装置のマスク位置合わせズレ寸法測定方法。

【請求項 7】 前記荷電粒子ビームの照射によって前記半導体装置から放射される二次電子と反射電子の少なくとも一方を検出し、荷電粒子ビームの走査位置として前記半導体装置の測定部分の位置を検出するようにしたことを特徴とする、請求項 4 から 6 の何れか 1 項に記載の半導体装置のマスク位置合わせズレ寸法測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその寸法測定方法に関し、特にマスク位置合わせズレ測定用パターンを有する半導体装置及びその半導体装置のマスク位置合わせズレ寸法測定方法に関するものである。

【0002】

【従来の技術】半導体デバイスの微細化に伴い、異なる工程間でのマスク位置合わせにおいても高い精度が要求されるようになってきている。従って、マスク位置合わせズレ量を正確に測定することは大変重要である。

【0003】従来は、顕微鏡を用いてノギスパターン（目盛を構成するパターン）を人間が読むか、専用のマスク位置合わせズレ量測定パターンを用いて画像処理を行うことによりマスク位置合わせズレ量を測定していた。人間がズレ量を読みとる場合、個人差が生じることが多く、測定に時間がかかる。画像処理による測定の場合、パターンの検出に時間がかかり、誤検出をしてしまう可能性がある。

【0004】この画像処理のためのパターン検出を最適な閾値で行う方法として、特開平 8 - 2 9 8 0 9 1 号公報には図 1 6 に示すようなパターン検出方法が提案されている。以下にこの測定方法を簡単に説明する。

【0005】図 1 6 は、従来のパターン検出方法の一例を示すフローチャートである。この図を用いて測定位置と参照パターンの登録手続きについて説明する。

【0006】まず、目的とする測定パターンを表示し、その位置と画像データを取り込み参照パターンとする。次に、登録したパターンに対して評価を行うため再度画像を取り込み、メモリ中の画像データと比較し類似度 s_1 を求める。また、このとき参照パターンと類似した複数のパターンの位置及び類似度 s_n ($n = 1, 2, \dots$) も合わせて求める。さらに参照パターン自身の類似度 s_1 と次に類似度の高いパターンの類似度 s_2 によって、次式で示される参照パターンの検出時における閾値 t_h と、参照パターンの登録画面に対する評価値 q を求める。

【0007】

【数1】 $t_h = (s_1 + s_2) / 2$, $q = (s_1 - s_2) / s_1$

ここでユーザは、評価値 q から参照パターンの妥当性を判断することができる。例えば評価値 q が低い場合、ユーザは登録した参照パターンが適当でないと判断することができ、再度登録手続きを行い、評価値 q が高い値になるまでこれを繰り返す。

【0008】検出は閾値 t_h を設定した後、参照パターンとの比較により行う。このとき参照パターンのみが閾値 t_h 以上の類似度となり、それ以下の類似度のパターンは検出パターンの候補とならないため、目的のパターンが唯一検出されることになる。

【0009】

【発明が解決しようとする課題】従来の方法の問題点は、画像処理のための参照パターンの検出に時間がかかるという点である。その理由は、画像処理のための画像の取り込み自体に時間がかかってしまうためである。

【0010】本発明の目的は、半導体製造工程においてマスク位置合わせズレ寸法を正確かつ高速に測定、把握し、コンタクト開口不良やコンタクト配線間ショートを低減することによる生産性の向上にある。

【0011】

【課題を解決するための手段】上記目的を達成するための本発明は、製造工程でのマスク位置合わせズレを測定するための測定用パターンを有する半導体装置であって、前記測定用パターンは、マスク位置合わせズレ測定の基準となる第1のパターンと、前記第1のパターンと部分的に重なるように配置され、前記第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンと、からなり、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分のみ、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される荷電粒子ビームを当該半導体基板に通電可能にしているものを含む。

【0012】上記の半導体装置において、前記第1のパターンは、第1のピッチで細長い矩形のパターンを配列してなるストライプパターンであり、前記第2のパターンは、前記第1のピッチと異なる第2のピッチで細長い矩形のパターンを配列してなるストライプパターンであり、前記第1のパターンと前記第2のパターンとは細長い矩形のパターンの配列方向を同じにして部分的に重なっているものが適用できる。

【0013】そして前記第1のパターンおよび前記第2のパターンは、一方が集積回路の配線となる導電層であり、もう一方が前記集積回路の異なる層の配線間もしくは配線と半導体基板とを接続するコンタクト孔であることが考えられる。

【0014】さらに、本発明は、マスク位置合わせズレ

測定の基準となる第1のパターンと、該第1のパターンと部分的に重なるように配置され、前記第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンとからなるマスク位置合わせズレ測定用パターンを有して、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分のみ、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される荷電粒子ビームを当該半導体基板に通電可能にしている半導体装置を用い、前記半導体装置に電圧を供給した状態で、前記マスク位置合わせズレ測定用パターンを通過するように前記荷電粒子ビームを等速で走査し、前記半導体装置に流れる電流の波形変化からマスク位置合わせズレ寸法を求める、半導体装置のマスク位置合わせズレ寸法測定方法を提供する。

【0015】このような半導体装置のマスク位置合わせズレ寸法測定方法では、電流の変化時刻に荷電粒子ビームの走査時刻を対応させて荷電粒子ビームの走査位置として前記半導体装置の測定部分の位置を検出するようにすることや、前記半導体装置に供給する電圧を周期的に変化させるようにするが好ましい。また、前記荷電粒子ビームの照射によって前記半導体装置から放射される二次電子と反射電子の少なくとも一方を検出し、荷電粒子ビームの走査位置として前記半導体装置の測定部分の位置を検出するようにすることも考えられる。

【0016】（作用）上記のとおり発明では、半導体装置製造工程途中にて半導体基板上にマスク位置合わせズレ測定用パターンが形成される。この半導体装置が有するマスク位置合わせズレ測定用パターンは、マスク位置合わせズレ測定の基準となる第1のパターンと、この第1のパターンと部分的に重なるように配置され、前記第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンと、からなる。そして、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分のみ、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される荷電粒子ビームを当該半導体基板に通電可能にしている。

【0017】したがって、マスク位置合わせズレ測定用パターンを有する半導体基板に対して垂直に荷電粒子ビームを照射し、半導体基板に電圧を供給した状態で、そのマスク位置合わせズレ測定用パターンを通過するように荷電粒子ビームを一方向に等速で走査させると、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方

の領域部分に荷電粒子ビームが照射されたときのみ、半導体基板より半導体装置に流れる電流が検出される。

【0018】このとき検出された、荷電粒子ビームの走査時刻に応じた電流の波形と、荷電粒子ビームの走査速度とから、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のビーム走査方向の幅寸法が判るので、マスク位置合わせズレ寸法を求めることができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0020】（第1の実施形態）図1は、本発明の第1の実施形態である、製造過程の半導体装置のマスク位置合わせズレ測定用パターンを示す概略平面図である。マスク位置合わせズレ測定用パターンは通常、スクライブ線領域に位置する。図1において、符号10はマスク位置合わせズレ測定の基準となる第1のパターンとして第1のピッチで配列されたストライブパターンを構成する細長い矩

形の素子領域を示し、符号11は、第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンとして第2のピッチで配列されたストライブパターンを構成する細長い矩形のゲート電極を示している。マスク位置合わせズレ測定用パターンは、上記の第1のパターンと第2のパターンとからなり、第1のパターンである複数列の素子領域10と第2のパターンである複数列のゲート電極11とは配列方向を同じにして部分的に重なっている。

【0021】ここで本実施形態におけるマスク位置合わせズレ測定用パターンの製造過程を説明する。図2は、本発明の第1の実施形態によるマスク位置合わせズレ測定用パターンを有する製造過程の半導体装置の断面図であり、図1のA-A'線の断面に相当する。図2において、まず、P型シリコン基板1上に選択酸化法により素子分離領域となるシリコン酸化膜2を形成して素子領域10を分離する。続いて前記素子領域10上に熱酸化法により薄い絶縁膜である例えば15nmのゲート酸化膜3を形成し、さらにN型多結晶シリコンとタングステンシリサイドの2層構造からなる導電膜を例えば200nmの厚さで全面に形成する。次に、フォトリソグラフィ法及びドライエッチング技術により前記導電膜を選択的にエッチングして、ゲート電極11を形成する。

【0022】このとき、図1及び図2からも判るように前記ゲート電極11と前記素子領域10とは同じ数だけ形成されているが、前記ゲート電極11は、前記素子領域10とは異なるピッチで形成されている。これにより、ゲート電極11が素子領域10上に部分的に重なるので、素子領域10の、素子領域10とゲート電極11

との重なり部を除いた領域部分のみが、P型シリコン基板1に対して垂直に照射される電子ビームを当該シリコン基板1に通電可能にする。この場合、素子領域10の、素子領域10とゲート電極11との重なり部を除いた領域部分の上にゲート酸化膜（絶縁膜）3が存在しているが、これは非常に薄膜のため、ゲート酸化膜3単体では電子ビームはこれを透過することができる。

【0023】なお、図1及び図2に示した状態は、後工程であるゲート電極形成工程でマスク位置合わせズレが図中右方向に生じていた場合である。本来は、マスク位置合わせズレ測定用パターンの中央ですっぱり両者（素子領域10とゲート電極11）が重なったときマスク位置合わせズレ量が0になるように設計されている。

【0024】本実施の形態では、このようなマスク位置合わせズレ測定用パターンに電子ビーム（EB）を照射しつつ走査させて電流を計測することにより、マスク位置合わせズレ量を測定する。より詳細には、電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板1に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成する素子領域10及びゲート電極11の配列方向に等速で走査させる。このとき、シリコン基板1の裏面から例えば+3Vの電圧を供給して、このシリコン基板1に通電される電流を検出する。すると、電子ビームはゲート電極11と重なっていないゲート酸化膜3を透過することができるので、電子ビームが素子領域10上の露出したゲート酸化膜3の表面に照射されているときのみシリコン基板1に電流が通電される。

【0025】図3は、図2の状態で電子ビームを照射、走査させたときの時刻に対する電流の値である。このように電流の波形から後工程であるゲート電極形成工程でのマスク位置合わせが図中右方向にずれていたことがすぐにわかる。さらに、電流波形のそれぞれのパルス幅を左右で比較することによって、より精度良くズレ量を算出することができる。このような本手法はシリコン基板に流れる電流をモニターするだけなので、1回の測定に要する時間が短く、ウェハ上の多数の箇所での測定に適している。

【0026】（第2の実施形態）図4は、本発明の第2の実施形態である、製造過程の半導体装置のマスク位置合わせズレ測定用パターンを示す概略平面図である。図4において、符号11はマスク位置合わせズレ測定の基準となる第1のパターンとして第1のピッチで配列されたストライブパターンを構成する細長い矩形のゲート電極を示し、符号12は、第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンとして第2のピッチで配列されたストライブパターンを構成する細長い矩形のコンタクト孔を示している。マスク位置合わせズレ測定用パターンは、上記の第1のパターンと第2のパターンとからなり、第1のパターンである複数

列のゲート電極 11 と第 2 のパターンである複数列のコンタクト孔 12 とは配列方向を同じにして部分的に重なっている。

【0027】ここで本実施形態におけるマスク位置合わせズレ測定用パターンの製造過程を説明する。図 5 は、本発明の第 2 の実施形態によるマスク位置合わせズレ測定用パターンを有する製造過程の半導体装置の断面図であり、図 4 の B-B' 線の断面に相当する。

【0028】まず、P 型シリコン基板 1 上に熱酸化法によりシリコン酸化膜 2 を形成し、続いて前記シリコン酸化膜 2 上に N 型多結晶シリコンとタングステンシリサイドの 2 層構造からなる導電膜を例えば 200 nm の厚さで全面に形成する。次に、フォトリソグラフィ法及びドライエッチング技術により前記導電膜を選択的にエッチングして、ゲート電極 11 を形成する。

【0029】ゲート電極 11 を形成した後、全面に CVD (ケミカル・ヴェーパー・デポジション) 法により、シリコン酸化膜 BPSG (ボロン・リン・ガラス) からなる層間絶縁膜 4 を例えば 600 nm の厚さで全面に堆積する。次に、フォトリソグラフィ法及びドライエッチング技術により前記層間絶縁膜 4 を選択的にエッチングして、コンタクト孔 12 を形成する。このとき、第 2 のパターン群を構成する前記コンタクト孔 12 は前記ゲート電極 11 のないところではオーバーエッチングのために素子分離領域となるシリコン酸化膜 2 を貫通してシリコン基板 1 にまで到達する。

【0030】図 4 及び図 5 から判るように前記ゲート電極 11 と前記コンタクト孔 12 とは同じ数だけ形成されているが、前記コンタクト孔 12 は、前記ゲート電極 11 とは異なるピッチで形成されている。これにより、コンタクト孔 12 が裏面にシリコン酸化膜 (絶縁膜) 2 が配されたゲート電極 11 と部分的に重なるので、コンタクト孔 12 の、コンタクト孔 12 とゲート電極 11 との重なり部を除いた領域部分のみが、P 型シリコン基板 1 に対して垂直に照射される電子ビームを当該シリコン基板 1 に通電可能にする。

【0031】なお、図 4 及び図 5 に示した状態は、後工程であるコンタクト孔形成工程でマスク位置合わせズレが図中右方向に生じていた場合である。本来は、マスク位置合わせズレ測定用パターンの中央ですっぱり両者 (ゲート電極 11 とコンタクト孔 12) が重なったときマスク位置合わせズレ量が 0 になるように設計されている。

【0032】本実施の形態でも第 1 の実施形態のときと同様に、マスク位置合わせズレ測定用パターンに電子ビーム (EB) を照射しつつ走査させて電流を計測することにより、マスク位置合わせズレ量を測定する。より詳細には、電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板 1 に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成するゲ

ト電極 11 及びコンタクト孔 12 の配列方向に等速で走査させる。このとき、シリコン基板 1 の裏面から例えば +3 V の電圧を供給して、このシリコン基板 1 に通電される電流を検出する。すると、コンタクト孔 12 の底部の露出したシリコン基板 1 に電子ビームが照射されているときにのみ電流が通電される。

【0033】図 6 は、図 5 の状態で電子ビームを照射、走査させたときの時刻に対する電流の値である。この場合も電流の波形から後工程であるコンタクト孔形成工程でのマスク位置合わせが図中右方向にずれていたことがすぐにわかる。さらに、電流波形のそれぞれのパルス幅を左右で比較することによって、より精度良くズレ量を算出することができる。

【0034】(第 3 の実施形態) 図 7 は、本発明の第 3 の実施形態である、製造過程の半導体装置のマスク位置合わせズレ測定用パターンを示す概略平面図である。図 7 において、符号 12 はマスク位置合わせズレ測定の基準となる第 1 のパターンとして第 1 のピッチで配列されたストライプパターンを構成する細長い矩形のコンタクト孔を示し、符号 13 は、第 1 のパターンに対するマスク位置合わせズレの測定対象となる第 2 のパターンとして第 2 のピッチで配列されたストライプパターンを構成する細長い矩形のアルミ配線を示している。マスク位置合わせズレ測定用パターンは、上記の第 1 のパターンと第 2 のパターンとからなり、第 1 のパターンである複数列のコンタクト孔 12 と第 2 のパターンである複数列のアルミ配線 13 とは配列方向を同じにして部分的に重なっている。

【0035】ここで本実施形態におけるマスク位置合わせズレ測定用パターンの製造過程を説明する。図 8 は、本発明の第 3 の実施形態によるマスク位置合わせズレ測定用パターンを有する製造過程の半導体装置の断面図であり、図 7 の C-C' 線の断面に相当する。

【0036】まず、P 型シリコン基板 1 上に熱酸化法によりシリコン酸化膜 2 を形成し、続いて前記シリコン酸化膜 2 上に全面に CVD (ケミカル・ヴェーパー・デポジション) 法により、シリコン酸化膜 BPSG (ボロン・リン・ガラス) からなる層間絶縁膜 4 を例えば 600 nm の厚さで全面に堆積する。次に、フォトリソグラフィ法及びドライエッチング技術により前記シリコン酸化膜 2 と前記層間絶縁膜 4 を選択的にエッチングして、コンタクト孔 12 を形成する。

【0037】コンタクト孔 12 を形成した後、全面にスパッタ法によりアルミを例えば 500 nm の厚さで全面に堆積する。次に、フォトリソグラフィ法及びドライエッチング技術により前記アルミを選択的にエッチングして、アルミ配線 13 を形成する。

【0038】このとき、図 7 及び図 8 から判るように前記コンタクト孔 12 と前記アルミ配線 13 とは同じ数だけ形成されているが、前記アルミ配線 13 は、前記コ

ンタクト孔12とは異なるピッチで形成されている。これにより、アルミ配線13とコンタクト孔12が部分的に重なるので、コンタクト孔12並びに当該コンタクト孔12と重なっているアルミ配線13の両方の領域部分のみが、P型シリコン基板1に対して垂直に照射される電子ビームを当該シリコン基板1に通電可能にする。

【0039】なお、図7及び図8に示した状態は、後工程であるアルミ配線形成工程でマスク位置合わせズレが図中右方向に生じていた場合である。本来は、マスク位置合わせズレ測定用パターンの中央ですっぱり両者（コンタクト孔12とアルミ配線13）が重なったときマスク位置合わせズレ量が0になるように設計されている。

【0040】本実施の形態でも第1、2の実施形態のときと同様に、マスク位置合わせズレ測定用パターンに電子ビーム（EB）を照射しつつ走査させて電流を計測することにより、マスク位置合わせズレ量を測定する。より詳細には、電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板1に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成するコンタクト孔12及びアルミ配線13の配列方向に等速で走査させる。このとき、シリコン基板1の裏面から例えば+3Vの電圧を供給して、このシリコン基板1に通電される電流を検出する。すると、電子ビームがコンタクト孔12の底部や、コンタクト孔12を通じてシリコン基板1と接続されたアルミ配線13に照射されているときに電流が通電される。

【0041】図9は、図8の状態で電子ビームを照射、走査させたときの時刻に対する電流の値である。この場合は第1、2の実施形態の場合と異なり、マスク位置合わせズレ測定用パターンを構成する各パターン群のどの位置においても電流は導通されるが、電流波形のそれぞれのパルス幅が異なるので、精度良くズレ量を算出することができる。

【0042】（第4の実施形態）図10は、本発明の第4の実施形態である、製造過程の半導体装置のマスク位置合わせズレ測定用パターンを示す概略平面図である。図10において、符号11はマスク位置合わせズレ測定の基準となる第1のパターンである前工程のゲート電極を示し、符号12は、第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンである後工程のコンタクト孔を示している。マスク位置合わせズレ測定用パターンは、これらの第1のパターンと第2のパターンとからなり、第1のパターンであるゲート電極11と第2のパターンであるコンタクト孔12とは部分的に重なっている。

【0043】ここで本実施形態におけるマスク位置合わせズレ測定用パターンの製造過程を説明する。図11は、本発明の第4の実施形態によるマスク位置合わせズレ測定用パターンを有する製造過程の半導体装置の断面図であり、図10のD-D'線の断面に相当する。図1

1において、まず、P型シリコン基板1上に熱酸化法によりシリコン酸化膜2を形成し、続いて前記シリコン酸化膜2上にN型多結晶シリコンとタングステンシリサイドの2層構造からなる導電膜を例えば200nmの厚さで全面に形成する。次に、フォトリソグラフィ法及びドライエッチング技術により前記導電膜の一部を残してエッチングして、ゲート電極11を形成する。

【0044】ゲート電極11を形成した後、全面にCVD（ケミカル・ヴェーパー・デポジション）法により、シリコン酸化膜BPSG（ボロン・リン・ガラス）からなる層間絶縁膜4を例えば600nmの厚さで全面に堆積する。次に、フォトリソグラフィ法及びドライエッチング技術によりゲート電極11上及びその周囲に堆積した前記層間絶縁膜4をエッチングして、コンタクト孔12を形成する。このとき、第2のパターンである前記コンタクト孔12は前記ゲート電極11のないところではオーバーエッチングのためにシリコン酸化膜2を貫通してシリコン基板1にまで到達する。

【0045】このマスク位置合わせズレ測定パターンは、前工程によるゲート電極11が後工程によるコンタクト孔12のちょうど中央になったときズレ量が0になるように設計されている。そして、コンタクト孔12の、ゲート電極11とコンタクト孔12との重なり部を除いた領域部分が、P型シリコン基板1に対して垂直に照射される電子ビームを当該シリコン基板1に通電可能にしている。

【0046】本実施の形態においても、上述した実施形態の場合と同様に、マスク位置合わせズレ測定用パターンに電子ビーム（EB）を照射しつつ走査させて電流を計測することにより、マスク位置合わせズレ量を測定する。より詳細には、電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板1に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成するゲート電極11上を通るよう一方向に等速で走査させる。このとき、シリコン基板1の裏面から例えば+3Vの電圧を供給して、このシリコン基板1に通電される電流を検出する。すると、電子ビームがコンタクト孔12の底部のシリコン基板1に照射されているときのみに電流が通電される。

【0047】図12は、図11の状態で電子ビームを照射、走査させたときの時刻に対する電流の値である。電子ビームの位置は時刻と電子ビームの走査速度によってわかるから、図12に示される電流波形の2つのパルス幅から図10に示される寸法a、bの大きさを求めることができる。このa、bを用いるとズレ量は $(a-b)/2$ と算出することができる。あるいは寸法a、bは必要はなくマスク位置合わせズレ量のみ必要な場合には、2つのパルス幅の差分 (t_1-t_2) に走査速度（v）を乗算して2で割れば、マスク位置合わせズレ量を算出することができる。

【0048】また本実施の形態においては、図10を見れば明らかなように、平面内で直交する2軸方向(X方向、Y方向)のそれぞれのズレを1つのマスク位置合わせズレ測定用パターンで測定することができる。また、ここでは前工程がゲート電極、後工程がコンタクト孔の場合について述べたが、第1の実施形態のように前工程が素子領域、後工程がゲート電極の組み合わせにおいても全く同様にマスク位置合わせズレ量を測定することができることは言うまでもない。

【0049】(第5の実施形態)図13は、本発明の半導体装置の第5の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図である。図13において、符号12はマスク位置合わせズレ測定の基準となる第1のパターンである前工程のコンタクト孔を示し、符号13は、第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンである後工程のアルミ配線を示している。マスク位置合わせズレ測定用パターンは、これらの第1のパターンと第2のパターンとからなり、第1のパターンであるコンタクト孔12と第2のパターンであるアルミ配線13とは部分的に重なっている。

【0050】図14は、本発明の第4の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図であり、図13のE-E'線の断面に相当する。本実施形態におけるマスク位置合わせズレ測定用パターンの製造工程は第3の実施形態と同一なので、詳しい説明は省略する。

【0051】本マスク位置合わせズレ測定パターンは、第4の実施形態のときと同様に、前工程による中央のコンタクト孔12が後工程によるリング状のアルミ配線13のちょうど中央になったときズレ量が0になるように設計されている。そして、コンタクト孔12並びに当該コンタクト孔12と重なっているアルミ配線13の両方の領域部分のみが、P型シリコン基板1に対して垂直に照射される電子ビームを当該シリコン基板1に通電可能にしている。

【0052】本実施の形態においても、上述した実施形態の場合と同様に、マスク位置合わせズレ測定用パターンに電子ビーム(EB)を照射しつつ走査させて電流を計測することにより、マスク位置合わせズレ量を測定する。より詳細には、電子ビームをマスク位置合わせズレ測定用パターンを有するシリコン基板1に対して垂直に照射し、そのマスク位置合わせズレ測定用パターンを構成するコンタクト孔12上を通るよう一方向に等速で走査させる。このとき、シリコン基板1の裏面から例えば+3Vの電圧を供給して、このシリコン基板1に通電される電流を検出する。すると、第3の実施形態のときと同様に電子ビームがコンタクト孔12の底部や、コンタクト孔12を通じてシリコン基板1と接続されたアルミ配線13に照射されているときに電流が通電される。

【0053】図15は、図14の状態で電子ビームを照射、走査させたときの時刻に対する電流の値である。電子ビームの位置は時刻と電子ビームの走査速度によってわかるから、図15に示される電流波形の3つのパルス幅から図13に示される寸法c、dの大きさを求めることができる。このc、dを用いるとズレ量は $(c-d)/2$ と算出することができる。あるいは寸法c、dは必要はなくマスク位置合わせズレ量のみ必要な場合には、3つのパルス幅における2つの谷幅(電流が通電されない時間帯)の差分(t_1-t_2)に走査速度(v)を乗算して2で割れば、マスク位置合わせズレ量を算出することができる。

【0054】なお、上述したそれぞれの実施形態において電子ビームを照射、走査させる際に二次電子や反射電子が放射されるので、一般に用いられているSEM(スキャンニング・エレクトロン・マイクロスコプ)と同じようにその二次電子や反射電子を検出し、電子ビームの走査位置として半導体装置の測定部分の位置を検出することが可能である。また、電子ビームを照射して走査することを例示したが、電荷粒子ビームであれば良く、例えばイオンビームを用いても良い。

【0055】また、本発明は上述した各形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば上述したそれぞれの実施形態においてシリコン基板の裏面から一定の電圧を印加することを例示したが、この電圧を周期的に変化させることも可能である。

【0056】つまり、シリコン基板の裏面に薄い酸化膜が形成されていたり、コンタクト孔がn型もしくはp型のウェル内に形成されていたりして、半導体装置に直流電流が通電されない場合、印加する電圧を交流またはパルス電圧として周期的に変化させることにより、シリコン基板の内部の電流変化から上述の場合と同様にマスク位置合わせズレ量を測定することができる。

【0057】

【発明の効果】以上説明したように本発明は、半導体集積回路製造工程でのマスク位置合わせズレ寸法を測定するための測定用パターンを有する半導体装置を提供する。このマスク位置合わせ寸法測定用パターンは、マスク位置合わせズレ測定の基準となる第1のパターンと、該第1のパターンと部分的に重なるように配置され、前記第1のパターンに対するマスク位置合わせズレの測定対象となる第2のパターンと、からなっていて、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分のみ、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のみが、半導体基板に対して垂直に照射される電子ビームを当該半導体基板に通電可能にしている。したがって、このような製造過程の半導体装置を用

い、この半導体装置の基板面に対して垂直に電子ビームを照射し、半導体基板に電圧を供給した状態で、そのマスク位置合わせズレ測定用パターンを通過するように電子ビームを一方方向に等速で走査させることにより、前記第1のパターンもしくは前記第2のパターンの、前記第1のパターンと前記第2のパターンとの重なり部を除いた領域部分、または、前記第1のパターン並びに前記第1のパターンと重なっている前記第2のパターンの両方の領域部分のビーム走査方向の幅を、ビームの走査時刻に応じた電流の波形として測定することができ、上記の幅寸法からマスク位置合わせズレ量を求めることができる。

【0058】このように本発明は、電流の測定という非常に簡単な手法によってマスク位置合わせズレ量を容易に把握するため、マスク位置合わせズレ量を正確かつ高速に測定することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図である。

【図2】本発明の第1の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図である。

【図3】図2に示した製造状態で電子ビームを照射、走査させたときの時刻に対する電流の値を示す波形図である。

【図4】本発明の半導体装置の第2の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図である。

【図5】本発明の第2の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図である。

【図6】図5に示した製造状態で電子ビームを照射、走査させたときの時刻に対する電流の値を示す波形図である。

【図7】本発明の半導体装置の第3の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図*

*である。

【図8】本発明の第3の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図である。

【図9】図8に示した製造状態で電子ビームを照射、走査させたときの時刻に対する電流の値を示す波形図である。

【図10】本発明の半導体装置の第4の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図である。

【図11】本発明の第4の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図である。

【図12】図11に示した製造状態で電子ビームを照射、走査させたときの時刻に対する電流の値を示す波形図である。

【図13】本発明の半導体装置の第5の実施形態におけるマスク位置合わせズレ測定用パターンを示す概略平面図である。

【図14】本発明の第5の実施形態によるマスク位置合わせズレ測定用パターンを有する半導体装置の断面図である。

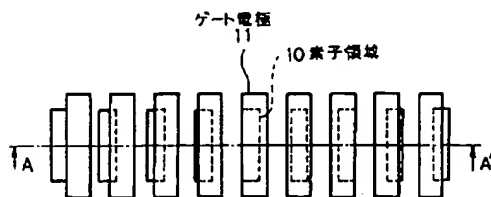
【図15】図14に示した製造状態で電子ビームを照射、走査させたときの時刻に対する電流の値を示す波形図である。

【図16】従来技術を説明するためのフローチャートである。

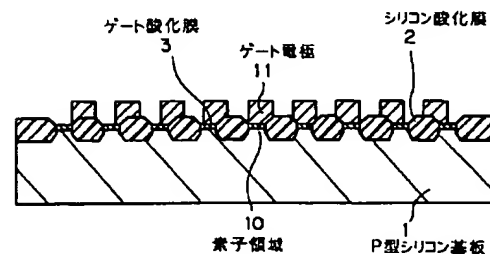
【符号の説明】

- 1 シリコン基板
- 2 シリコン酸化膜
- 3 ゲート酸化膜
- 4 層間絶縁膜
- 10 素子領域
- 11 ゲート電極
- 12 コンタクト孔
- 13 アルミ配線

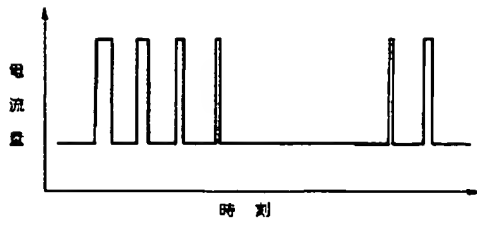
【図1】



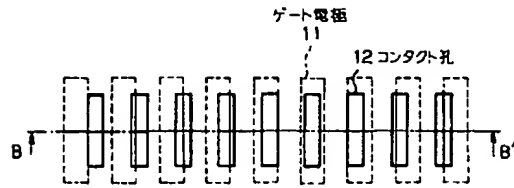
【図2】



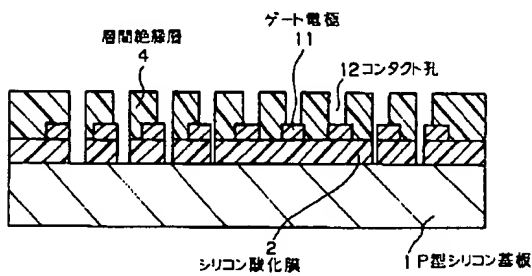
【図3】



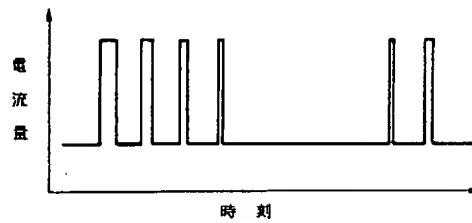
【図4】



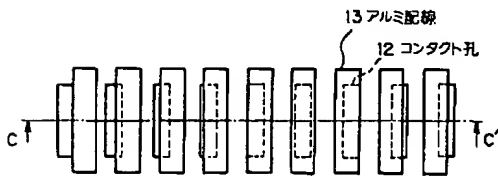
【図5】



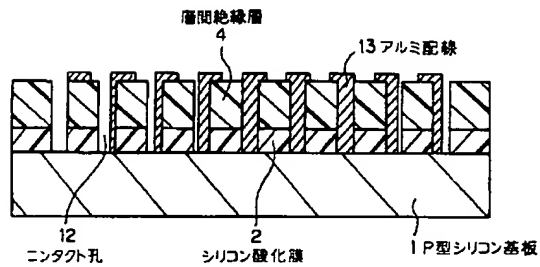
【図6】



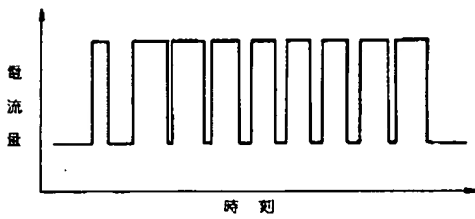
【図7】



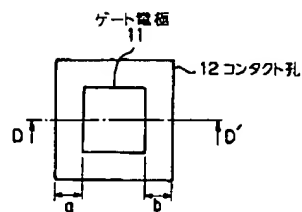
【図8】



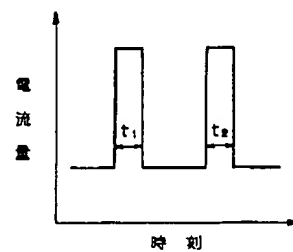
【図9】



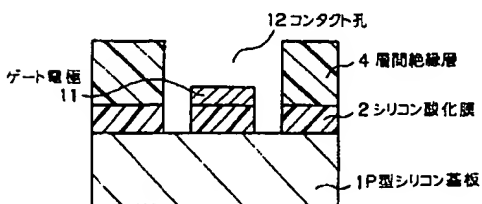
【図10】



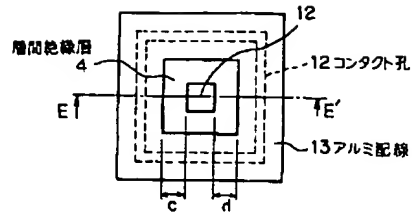
【図12】



【図11】



【圖 13】



【圖 15】

